

처음 만나는

디지털 논리회로

Chapter 08 플립플롭

기출문제 풀이

1. 입력 신호에 의해 상태를 바꾸도록 지시할 때까지 현재의 2진 상태를 그대로 유지해 주는 회로는?

- ㉠ 플립플롭
- ㉡ 인코더

- ㉢ 디코더
- ㉣ 커패시터

2. 1비트 단위의 2진수 정보를 저장할 수 있는 2진 셀(cell)을 무엇이라 하는가?

- ㉠ RAM

- ㉡ ROM

- ㉢ 플립플롭

- ㉣ 멀티플렉서

플립플롭이나 래치는 두 가지 상태 중 하나를 가지는 1비트 기억소자이다.

3. 다음 회로 중에서 플립플롭을 이용하여 구성하는 회로가 아닌 것은?

- ㉠ 시프트 레지스터 ㉡ 카운터
- ㉢ 분주기 ㉣ 전가산기

플립플롭은 카운터, 레지스터, 주파수 분주기 등에 사용된다.

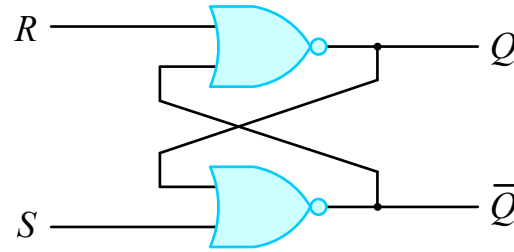
4. 플립플롭에 관한 설명 중 옳지 않은 것은?

- ㉠ 0 또는 1을 저장할 수 있다.
- ㉡ 조합논리회로에 필수적으로 사용된다.
- ㉢ D 플립플롭은 입력신호를 지연시켜서 그대로 출력한다.
- ㉣ T 플립플롭은 입력신호가 1일 때 전 출력값의 보수를 출력한다.

플립플롭은 순서논리회로에 필수적으로 사용된다.

5. 다음과 같은 NOR 게이트로 구성된 기본적인 플립플롭 회로에서 $S=1, R=0$ 인 상태일 때 Q, \bar{Q} 의 상태는?

- ㉠ $Q=0, \bar{Q}=1$
- ㉡ $Q=1, \bar{Q}=1$
- ㉢ $Q=0, \bar{Q}=0$
- ㉣ $Q=1, \bar{Q}=0$

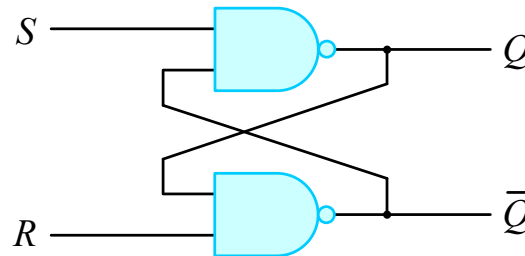


S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	부정

NOR 게이트 SR 래치의 진리표

6. 다음 그림은 어떤 플립플롭(flip-flop)회로인가?

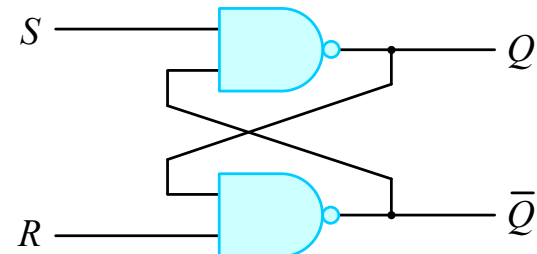
- ㉠ basic_플립플롭
- ㉡ JK 플립플롭
- ㉢ D 플립플롭
- ㉣ T 플립플롭



NAND 게이트로 구성된 래치회로이며, basic 플립플롭이라고도 한다.

7. 다음 그림의 회로와 관계가 없는 것은?

- ㉠ 플립플롭의 기본 회로이다.
- ㉡ $R=S=0$ 이 동시에 일어나면 $Q=\bar{Q}=0$ 으로 된다.
- ㉢ 래치(latch) 회로라고 한다.
- ㉣ 1bit 기억소자이다.



$R=S=0$ 이 동시에 일어나면 $Q=\bar{Q}=1$ 로 된다.

8. 다음 중 NAND 게이트를 이용한 SR 래치(latch) 회로의 진리값으로 옳은 것은?

- ㉠ 입력 $R=0, S=1$ 일 때, 출력 $Q=0, \bar{Q}=0$
- ㉡ 입력 $R=1, S=1$ 일 때, 출력 이전상태 유지(불변)
- ㉢ 입력 $R=1, S=0$ 일 때, 출력 $Q=0, \bar{Q}=1$
- ㉣ 입력 $R=1, S=1$ 일 때, 출력 부정

\bar{S}	\bar{R}	Q_{n+1}
0	0	부정
0	1	1
1	0	0
1	1	Q_n (불변)

NAND 게이트 SR 래치의 진리표

9. D형 latch 회로의 주용도는?

- ㉠ 2진 계수기
- ㉡ 일시 기억장치
- ㉢ 논리 연산기
- ㉣ 정수 연산장치

D형 래치 또는 D 플립플롭은 일시적으로 데이터를 저장하는데 사용된다.

10. SR 플립플롭의 동작 설명 중 옳지 않은 것은?

- ㉠ $S=0, R=0$ 입력일 때 불변 상태가 된다.
- ㉡ $S=0, R=1$ 입력일 때 리셋 상태가 된다.
- ㉢ $S=1, R=0$ 입력일 때 세트 상태가 된다.
- ㉣ $S=1, R=1$ 입력일 때 토글 상태가 된다.

S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	부정

SR 플립플롭의 진리표

11. SR 플립플롭에 대한 설명으로 옳은 것은?

- ㉠ 입력신호가 모두 0일 때는 이전상태의 반전
- ㉡ 입력신호가 모두 0일 때는 이전상태의 유지
- ㉢ 입력신호가 모두 1일 때는 이전상태의 반전
- ㉣ 입력신호가 모두 1일 때는 reset

S	R	Q_{n+1}
0	0	Q_n (불변)
0	1	0
1	0	1
1	1	부정

SR 플립플롭의 진리표

12. SR 플립플롭의 입력과 출력에 대한 설명으로 틀린 것은?

- ㉠ 입력 $S=1$ 일 때 $Q = \bar{Q} = 0$ 이 된다.
- ㉡ 입력 $S=R=0$ 일 때 Q, \bar{Q} 는 앞의 상태를 유지한다.
- ㉢ 입력 S 와 R 모두 1이 되어서는 안 된다.
- ㉣ 출력 \bar{Q} 는 항상 Q 의 반대가 된다.

S	R	Q_{n+1}
0	0	Q_n (불변)
0	1	0
1	0	1
1	1	부정

SR 플립플롭의 진리표

13. SR 플립플롭에 대한 설명 중 옳지 않은 것은?

- ㉠ S (set), R (reset), C (clock)의 입력과 Q , \bar{Q} 의 출력을 가진다.
- ㉡ 클록 CP 에 신호가 들어오지 않으면 S 나 R 입력값에 관계 없이 출력은 변화가 없다.
- ㉢ S 와 R 이 모두 0일 때 클록 입력이 변하면 출력은 변화가 없다.
- ㉣ S 와 R 이 모두 1일 때 클록 입력이 변하면 회로 내부의 지연시간에 따라 출력값을 예상할 수 있다.

S	R	Q_{n+1}
0	0	Q_n (불변)
0	1	0
1	0	1
1	1	부정

SR 플립플롭의 진리표

14. SR 플립플롭인 경우 시간 t_n 에서 입력 $S=1, R=0$ 일 때 시간 t_{n+1} 에서의 출력 Q 와 \bar{Q} 의 상태는?

㉠ $Q=0, \bar{Q}=0$

㉡ $Q=0, \bar{Q}=1$

㉢ $Q=1, \bar{Q}=0$

㉣ $Q=1, \bar{Q}=1$

S	R	Q_{n+1}
0	0	Q_n (불변)
0	1	0
1	0	1
1	1	부정

SR 플립플롭의 진리표

15. 클럭이 있는 SR 플립플롭에서 클럭펄스가 0일 때 이 회로의 기능은?

㉠ JK 플립플롭

㉡ latch

㉢ RAM

㉣ ROM

클럭펄스가 0일 때에는 동작하지 않으므로 래치와 같다.

16. SR 플립플롭에서 출력 Q 의 논리식은?

㉠ $\bar{S} \cdot (R + \bar{Q}_n)$

㉡ $\bar{R} \cdot (S + Q_n)$

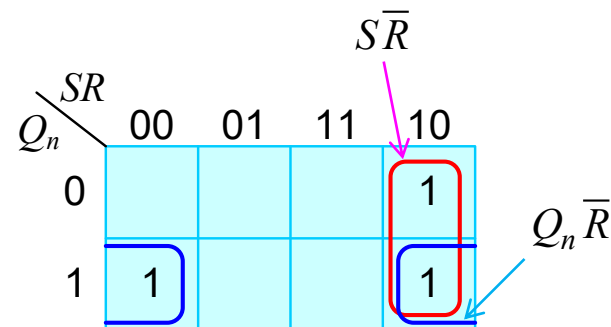
㉢ $S \cdot (R + Q_n)$

㉣ $R \cdot (S + Q_n)$

S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	불확정

Q_n	S	R	Q_{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	(부정)
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	(부정)

JK 플립플롭의 특성표



$$Q_{n+1} = S\bar{R} + Q_n\bar{R} = \bar{R} \cdot (S + Q_n)$$

17. 다음 회로에서 Q 가 0일 때, A 와 B 가 아래와 같이 변하면 Q 의 값의 변화는?

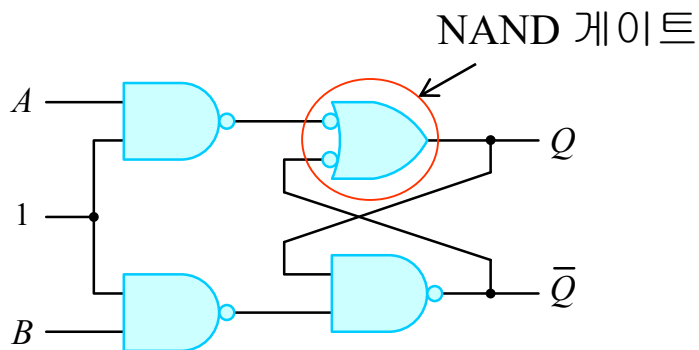
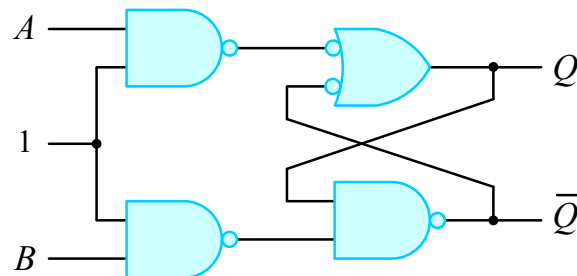
$A : 001001 \quad B : 010100$

㉠ 001101

㉡ 001001

㉢ 010010

㉣ 001011



클록형 SR 플립플롭(NAND형)

S	R	Q_{n+1}
0	0	Q_n (불변)
0	1	0
1	0	1
1	1	부정

SR 플립플롭의 진리표

$A(=S)$	0 0 1 0 0 1
$B(=R)$	0 1 0 1 0 0
Q_{n+1}	0 0 1 0 0 1

18. 플립플롭 중에서 입력상태가 그대로 출력되는 것은?

- ㉠ SR 플립플롭
- ㉡ JK 플립플롭
- ㉢ D 플립플롭
- ㉣ T 플립플롭

D 플립플롭은 입력 D 의 상태를 1비트 타임만큼 지연되어 그대로 출력된다.

19. 데이터의 임시 저장을 위하여 사용하기에 가장 편리한 플립플롭은?

- ㉠ SR 플립플롭
- ㉡ JK 플립플롭
- ㉢ D 플립플롭
- ㉣ T 플립플롭

20. 지연 소자로 이용할 수 있는 플립플롭은?

- ㉠ SR 플립플롭
- ㉡ JK 플립플롭
- ㉢ D 플립플롭
- ㉣ T 플립플롭

D 플립플롭이라는 이름은 데이터(data)를 전달한다는 의미와 지연(delay)하는 역할에서 유래한다.

21. 현재 상태의 값에 관계없이 다음 상태가 "0"이 되려면 입력도 "0"이 되어야 하는 플립플롭은?

㉠ T 플립플롭

㉡ D 플립플롭

㉢ JK 플립플롭

㉣ SR 플립플롭

D	Q_{n+1}
0	0
1	1

D 플립플롭의 진리표

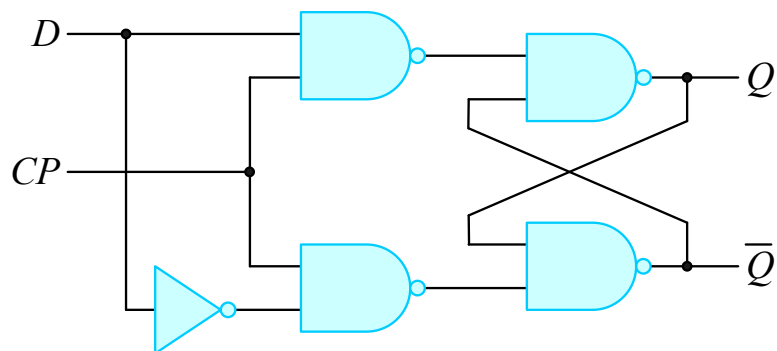
22. *SR* 플립플롭의 입력 양단간에 inverter 회로를 접속하면 어떤 플립플롭의 동작을 하는가?

㉠ *D* 플립플롭

㉡ *T* 플립플롭

㉢ *M/S* 플립플롭

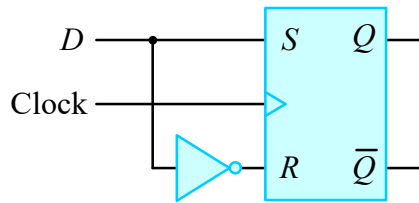
㉣ *SR* 플립플롭



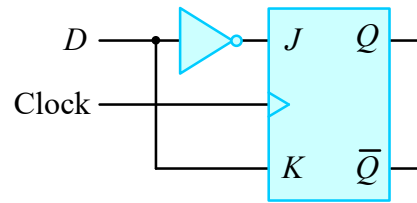
클록형 *D* 플립플롭

23. D 플립플롭에 해당하는 것은?

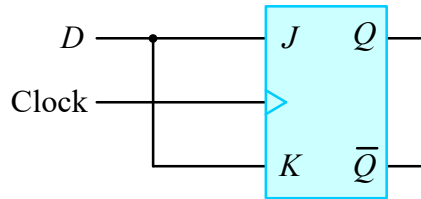
㉠



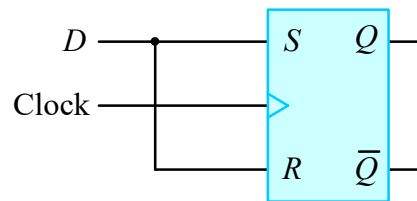
㉡



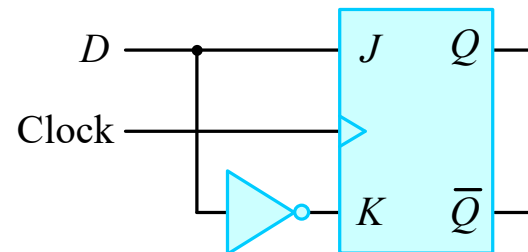
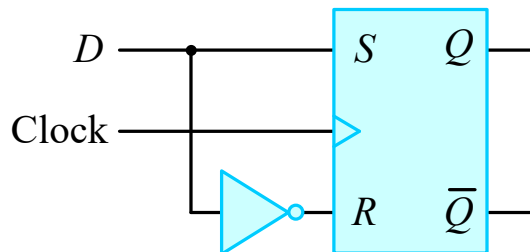
㉢



㉣

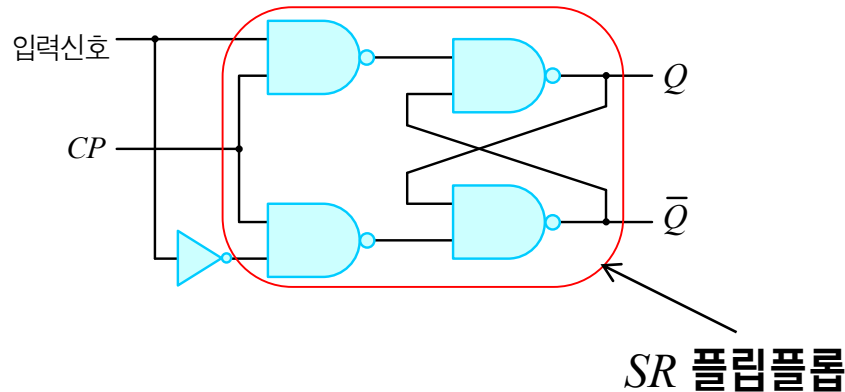
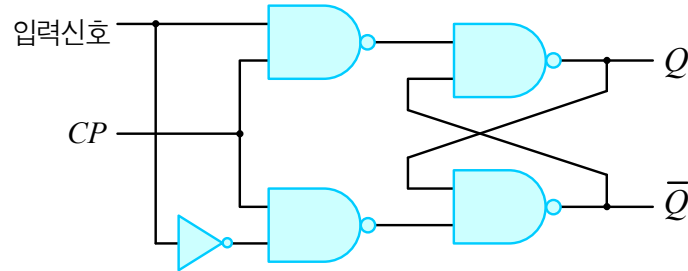


D 플립플롭은 SR 플립플롭 또는 JK 플립플롭을 사용하여 구성할 수 있다.



24. 다음 논리회로가 나타내는 플립플롭 회로는 무엇인가?

- ㉠ T 플립플롭
- ㉡ D 플립플롭
- ㉢ JK 플립플롭
- ㉣ SR 플립플롭



25. JK 플립플롭에 NOT 게이트를 추가하여 회로를 구성하면?

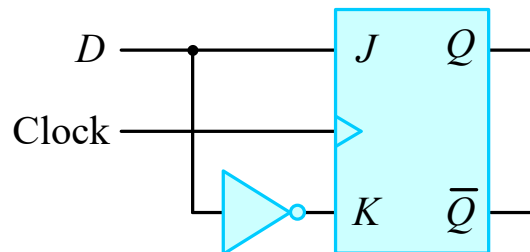
- ㉠ M/S 플립플롭
- ㉡ SR 플립플롭
- ㉢ D 플립플롭
- ㉣ T 플립플롭

26. JK 플립플롭을 사용하여 D 플립플롭을 만들려고 한다. 필요한 게이트는?

- ㉠ AND
- ㉡ NOT
- ㉢ OR
- ㉣ XOR

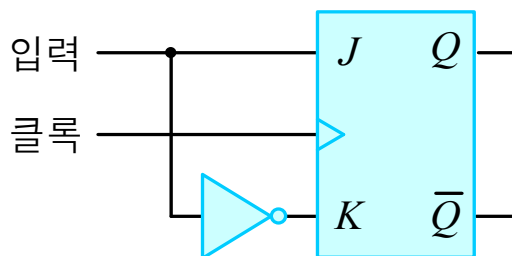
27. JK 플립플롭을 이용하여 D 형 플립플롭을 만들려면?

- ㉠ J 의 입력을 인버터를 통해 K 에 연결한다.
- ㉡ J 와 K 를 동일 입력으로 한다.
- ㉢ Q 의 입력을 J 에 궤환시킨다.
- ㉣ K 의 입력을 J 에 궤환시킨다.



28. 다음과 같은 결선의 플립플롭은 어떠한 플립플롭의 동작인가?

- ㉠ SR 플립플롭
- ㉡ T 플립플롭
- ㉢ D 플립플롭
- ㉣ JK 플립플롭



JK 플립플롭을 이용한 D 플립플롭

29. 아래 표는 D 플립플롭의 진리표이다. Q_{n+1} 의 상태는?

- ㉠ $a=0, b=0, c=0, d=0$
- ㉡ $a=0, b=0, c=0, d=1$
- ㉢ $a=0, b=1, c=0, d=1$
- ㉣ $a=0, b=0, c=1, d=1$

D	Q_n	Q_{n+1}
0	0	a
0	1	b
1	0	c
1	1	d

D 플립플롭은 입력 D 의 상태를 1비트 타임만큼 지연되어 그대로 출력된다.

30. D 플립플롭 회로의 특성방정식은?

㉠ $Q(t+1) = \overline{D}Q(t)$

㉡ $Q(t+1) = D$

㉢ $Q(t+1) = D\overline{Q}(t)$

㉣ $Q(t+1) = Q(t)$

$Q(t)$	D	$Q(t+1)$
0	0	0
0	1	1
1	0	0
1	1	1

D 플립플롭의 특성표

		D	
		0	1
$Q(t)$	0		1
	1		1

$Q(t+1) = D$

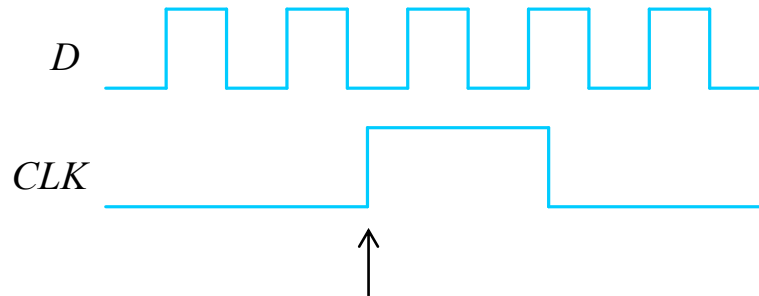
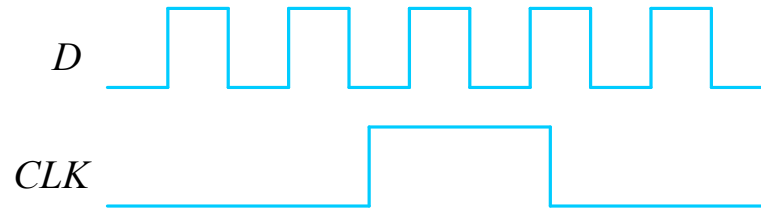
31. 다음 그림의 파형이 positive 에지 트리거 D 플립플롭의 입력으로 들어간다. D 플립플롭에서 클럭펄스(CLK) 후 출력(Q)의 값은?

㉠ 불변

㉡ 반전

㉢ 1

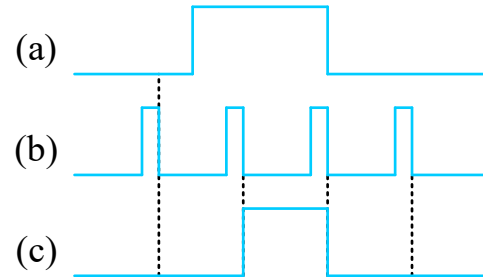
㉣ 0



이 시점에서 $D=0$ 이므로 출력 $Q=0$ 이다.

32. 그림과 같은 타이밍 차트(timing chart)에 표시한 것과 같은 동작을 하는 플립플롭은? (단, (a)는 입력, (b)는 클록펄스, (c)는 출력파형이다.)

- ㉠ T 플립플롭
- ㉡ JK 플립플롭
- ㉢ D 플립플롭
- ㉣ SR 플립플롭



하강에지 트리거 D 플립플롭의 동작 파형이다.

33. *SR* 플립플롭에서 부정의 상태를 정의하여 사용하도록 개량된 플립플롭은?

㉠ *RST* 플립플롭

㉡ *JK* 플립플롭

㉢ *D* 플립플롭

㉣ *T* 플립플롭

34. *SR* 플립플롭을 *JK* 플립플롭으로 만들고자 할 때 필요한 게이트(gate)는?

㉠ OR 게이트 2개

㉡ AND 게이트 2개

㉢ NOR 게이트 2개

㉣ NAND 게이트 2개

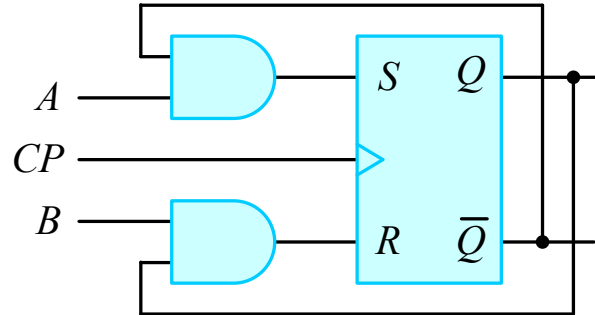
35. 다음과 같은 구성도는 어떤 형태의 플립플롭인가?

㉠ D 형

㉡ M/S 형

㉢ JK 형

㉣ T 형



36. JK 플립플롭은 두 개의 입력 데이터에 의하여 출력에서 몇 개의 조합을 얻을 수 있는가?

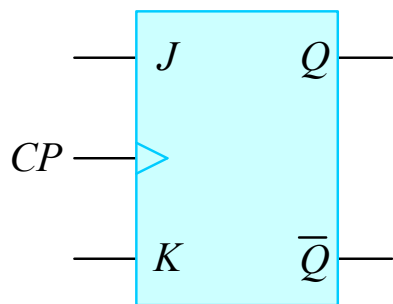
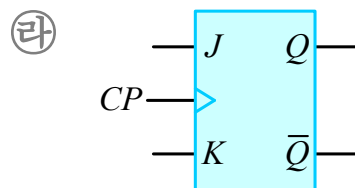
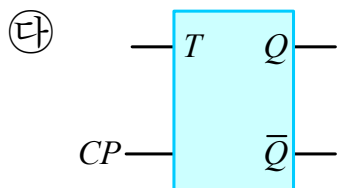
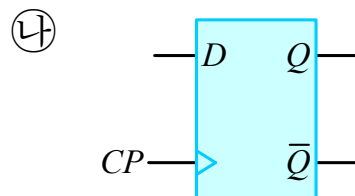
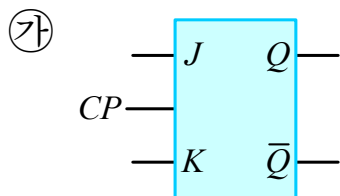
㉠ 2개

㉡ 4개

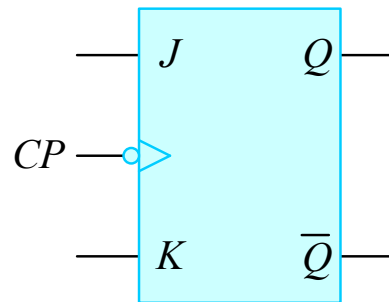
㉢ 8개

㉣ ∞

37. 에지 트리거 JK 플립플롭의 논리기호로 옳은 것은?



상승 에지 트리거 JK 플립플롭



하강 에지 트리거 JK 플립플롭

38. JK 플립플롭에서 $J_n=0, K_n=0$ 일 때, Q_{n+1} 의 출력은?

㉠ 0

㉡ 1

㉢ Q_n

㉣ -1

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

39. JK 플립플롭에서 $J_n=0, K_n=1$ 일 때 클록 펄스가 1이면 Q_{n+1} 의 출력 상태는?

㉠ 반전

㉡ 1

㉢ 0

㉣ 부정

40. JK 플립플롭에서 $J_n=K_n=1$ 일 때 Q_{n+1} 의 출력 상태는?

㉠ 반전

㉡ 변화가 없다

㉢ 1

㉣ 0

$J=1, K=1$ 일 때, Q 는 toggle(반전) 된다.

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

41. JK 플립플롭에서 $J=1, K=0$ 상태에서 클록에 "0"인 펄스를 가하면 출력 Q 의 상태는?

㉠ toggle(반전)

㉡ 불변

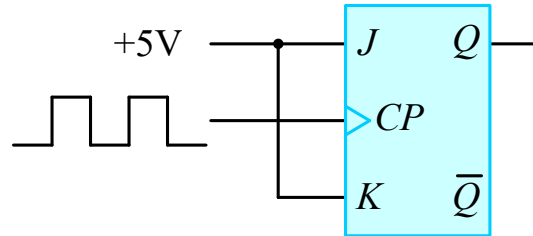
㉢ 1

㉣ 0

클록 펄스 $CP=0$ 인 상태에서 어떠한 입력의 조합을 인가하더라도 출력 Q 는 변하지 않는다.

42. JK 플립플롭을 그림과 같이 결선하고 클록 펄스가 계속 인가되면 출력은 어떤 상태가 되는가?

- ㉠ set
- ㉡ reset
- ㉢ toggling
- ㉣ 동작 불능



43. JK 플립플롭에서 클록신호가 인가되더라도 현재의 출력이 변하지 않고 그대로 유지되게 하려면 J, K 입력은 각각 어떤 값이어야 하는가?

- ㉠ $J=0, K=0$
- ㉡ $J=0, K=1$
- ㉢ $J=1, K=0$
- ㉣ $J=1, K=1$

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

44. JK 플립플롭을 이용해서 토글(toggle) 기능을 만들려고 하면 J, K 입력은 각각 어떤 값이어야 하는가?

㉠ $J=0, K=0$

㉡ $J=0, K=1$

㉢ $J=1, K=0$

㉣ $J=1, K=1$

㉣ $J=1, K=1$ 일 때, Q 는 반전된다.

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

45. JK 플립플롭의 트리거 입력과 상태전환 조건을 설명한 것 중 옳지 않은 것은?

- ㉠ $J=0, K=0$ 일 때는 변하지 않는다.
- ㉡ $J=0, K=1$ 일 때는 Q 가 0으로 된다.
- ㉢ $J=1, K=0$ 일 때는 Q 가 1로 된다.
- ㉣ $J=1, K=0$ 일 때는 반전되지 않는다.

㉣ $J=1, K=0$ 일 때, Q 는 1로 된다.

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

46. JK 플립플롭의 동작 설명으로 틀린 것은?

- ㉠ J, K 입력이 모두 0일 때 출력은 변하지 않는다.
- ㉡ $J=0, K=1$ 일 때 $Q=0, \bar{Q}=1$ 이다.
- ㉢ $J=1, K=0$ 일 때 $Q=1, \bar{Q}=0$ 이다.
- ㉣ $J=1, K=1$ 일 때 출력은 무의미하며, 사용이 안 된다.

㉣ $J=1, K=1$ 일 때 출력은 **반전된다**.

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

47. JK 플립플롭의 특성방정식은? 이 때, $Q(t)$ 는 현재 상태, $Q(t+1)$ 은 다음 상태이다.

㉠ $Q(t+1) = \bar{J}\bar{Q}(t) + KQ(t)$

㉡ $Q(t+1) = \bar{J}Q(t) + K\bar{Q}(t)$

㉢ $Q(t+1) = J\bar{Q}(t) + \bar{K}Q(t)$

㉣ $Q(t+1) = JQ(t) + \bar{K}\bar{Q}(t)$

$Q(t)$	J	K	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

JK 플립플롭의 특성표

JK $Q(t)$	00	01	11	10
0			1	1
1	1			1

$$Q(t+1) = J\bar{Q}(t) + \bar{K}Q(t)$$

48. 다음 진리표와 같은 플립플롭을 나타내는 것은? (단, ×는 don't care)

- ㉠ D 플립플롭
- ㉡ SR 플립플롭
- ㉢ JK 플립플롭
- ㉣ Clock SR 플립플롭

입력	CP	Q_{n+1} \overline{Q}_{n+1}
0 0	×	불 변
0 1	↑	0 1
1 0	↑	1 0
1 1	↑	반전(toggle)

CP	J K	Q_{n+1}
↑	0 0	Q_n
↑	0 1	0
↑	1 0	1
↑	1 1	toggle

JK 플립플롭의 진리표(상승 에지 트리거)

49. 다음 Q_{n+1} 열에 알맞은 것은?

	①	②	③	④	⑤	⑥
가	0	1	1	0	0	1
나	0	1	1	1	0	1
다	0	1	1	0	1	1
라	1	0	0	0	1	1

Q_n	J	K	Q_{n+1}
0	0	1	①
0	1	0	②
0	1	1	③
1	0	0	④
1	0	1	⑤
1	1	0	⑥

- ① $J=0, K=1$ 이므로 출력은 $Q_{n+1} = 0$ 이다.
- ② $J=1, K=0$ 이므로 출력은 $Q_{n+1} = 1$ 이다.
- ③ $J=1, K=1$ 이므로 반전되어 출력은 $Q_{n+1} = 1$ 이다.
- ④ $J=0, K=0$ 이므로 이전 출력을 유지하므로 $Q_{n+1} = 1$ 이다.
- ⑤ $J=0, K=1$ 이므로 출력은 $Q_{n+1} = 0$ 이다.
- ⑥ $J=1, K=0$ 이므로 출력은 $Q_{n+1} = 1$ 이다.

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

50. toggling 상태를 이용한 플립플롭 형태는?

㉠ SR 플립플롭

㉡ D 플립플롭

㉢ JK 플립플롭

㉣ T 플립플롭

JK 플립플롭에서 $J=1, K=1$ 일 때 클록 펄스가 입력되면 이전 출력이 반전되며, 이러한 동작을 토글(toggle)이라 한다. 이러한 상태만을 이용하는 플립플롭을 T 플립플롭이라 한다.

51. T 플립플롭을 토글(toggle) 플립플롭이라고 하는 주된 이유는?

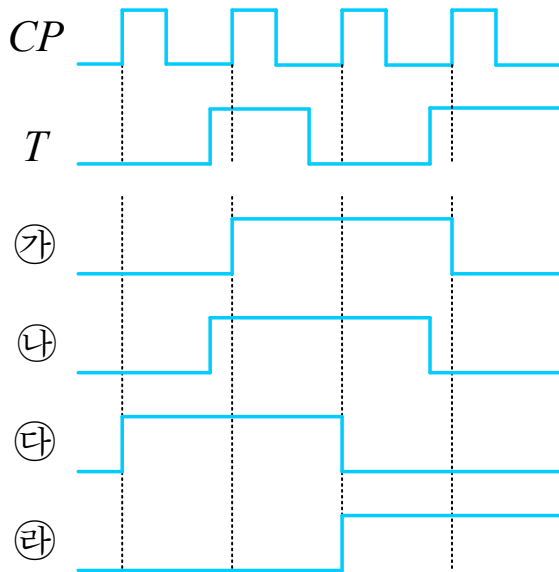
- ㉠ 상태변화를 위해서는 토글스위치가 필요하므로
- ㉡ 2개의 입력펄스마다 토글되므로
- ㉢ 출력이 스스로 토글되므로
- ㉣ 각 입력펄스마다 출력이 토글되므로

T 플립플롭은 입력 펄스가 인가될 때마다 출력이 반전(toggle)된다.

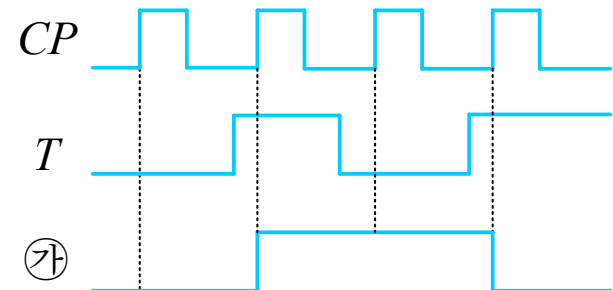
52. 플립플롭 중 입력단자가 하나이며, 1이 입력될 때마다 출력단자의 상태가 바뀌는 것은?

- | | |
|-------------|--------------|
| ㉠ SR 플립플롭 | ㉡ T 플립플롭 |
| ㉢ D 플립플롭 | ㉣ M/S 플립플롭 |

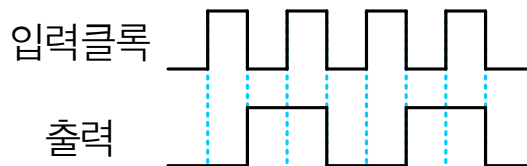
53. 다음과 같은 파형을 클록(CP)형 T 플립플롭에 가하였을 때, 출력 파형으로 맞는 것은? (단, T 플립플롭은 상승에지(edge)에서 동작하고 클록이 입력되기 전의 T 플립플롭의 출력은 0이다.)



CP 의 상승에지에서 $T=0$ 이면 상태가 변하지 않고,
 CP 의 상승에지에서 $T=1$ 이면 반전한다.



54. 다음과 같은 입력펄스에 따라 출력이 나타나는 플립플롭은?



㉠ SR 플립플롭

㉡ RST 플립플롭

㉢ D 플립플롭

㉣ T 플립플롭

입력 클록의 하강에지에서 상태가 반전하므로 하강에지 트리거 T 플립플롭이다.

55. 시간 폭이 매우 좁은 트리거 펄스 열이 입력단에 가해진다면, 이 펄스가 나타나는 순간마다 출력 상태가 바뀌는 플립플롭은?

㉠ JK 플립플롭

㉡ T 플립플롭

㉢ SR 플립플롭

㉣ D 플립플롭

56. JK 플립플롭에서 J 와 K 에 1의 입력을 넣어주면 어떤 플립플롭으로 동작하는가?

㉠ SR 플립플롭

㉡ T 플립플롭

㉢ D 플립플롭

㉣ M/S 플립플롭

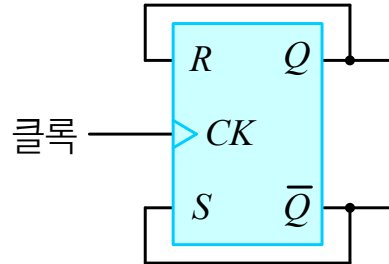
JK 플립플롭에서 $J=1, K=1$ 이고 클록 펄스가 인가되면 JK 플립플롭의 출력은 이전 상태가 반전하므로 T 플립플롭으로 동작한다.

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	toggle

JK 플립플롭의 진리표

57. SR 플립플롭을 이용하여 다음과 같이 연결하였을 때 기능상 어느 플립 플롭과 같은가?

- ㉠ JK 플립플롭
- ㉡ T 플립플롭
- ㉢ D 플립플롭
- ㉣ M/S형 플립플롭



$S=\bar{Q}$, $R=Q$ 이므로

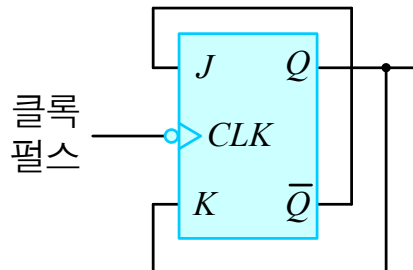
$Q=0$ 이면, $S=1$, $R=0$ 이므로 클록펄스가 인가되면 출력 $Q=1$ 이다.

$Q=1$ 이면, $S=0$, $R=1$ 이므로 클록펄스가 인가되면 출력 $Q=0$ 이다.

따라서 출력은 이전 상태를 반전하므로 회로는 **T 플립플롭과 같이 동작한다.**

58. JK 플립플롭을 그림과 같이 연결했을 때 어떤 것과 같은가?

- ㉠ D 플립플롭
- ㉡ SR 플립플롭
- ㉢ T 플립플롭
- ㉣ 래치(latch)



$J=\bar{Q}$, $K=Q$ 이므로

$Q=0$ 이면, $J=1$, $K=0$ 이므로 클록펄스가 인가되면 출력 $Q=1$ 이다.

$Q=1$ 이면, $J=0$, $K=1$ 이므로 클록펄스가 인가되면 출력 $Q=0$ 이다.

따라서 출력은 이전 상태를 반전하므로 회로는 **T 플립플롭과 같이 동작한다.**

59. T 플립플롭의 특성 설명 중 옳지 않은 것은?

- ㉠ 특성방정식은 $\bar{T}\bar{Q} + TQ$ 이다.
- ㉡ $T=1$ 일 때 보수 상태가 된다.
- ㉢ 한 개의 입력을 필요로 한다.
- ㉣ 0이 입력될 때는 변화가 없다.

$Q(t)$	T	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

	T	0	1
$Q(t)$	0		1
	1	1	

$$Q(t+1) = T\bar{Q} + \bar{T}Q$$

T 플립플롭의 특성방정식

60. T 플립플롭에 대한 설명으로 틀린 것은?

- ㉠ 토글 플립플롭(toggle flip-flop)이라고도 한다.
- ㉡ 클록이 들어올 때마다 상태가 반전된다.
- ㉢ 출력파형의 주파수는 입력파형의 주파수와 동일하다.
- ㉣ $1/2$ 분주회로 또는 계수회로에 많이 쓰인다.

T 플립플롭의 출력은 입력 주파수의 $1/2$ 인 주파수 파형이 출력된다.

61. T 플립플롭에서 $T=0$ 일 때 Q_{n+1} 의 동작 상태는?

- ㉠ Q_n
- ㉡ 0
- ㉢ 1
- ㉣ \bar{Q}_n

T 플립플롭에서 $T=0$ 일 때는 이전 상태를 유지한다.

62. T 플립플롭의 특성방정식은?

㉠ $Q(t+1) = T$

㉡ $Q(t+1) = T + \bar{Q}$

㉢ $Q(t+1) = \bar{T} + Q$

㉣ $Q(t+1) = \bar{T}Q + T\bar{Q}$

$Q(t)$	T	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

		T	
		0	1
$Q(t)$	0		1
	1	1	

$$Q(t+1) = T\bar{Q} + \bar{T}Q$$

T 플립플롭의 특성방정식

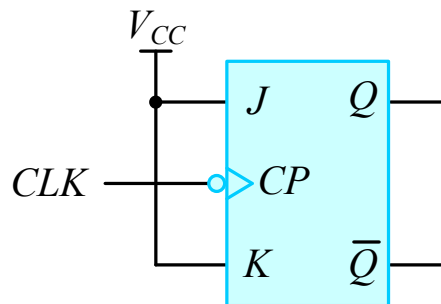
63. 1KHz의 주파수를 500Hz로 변환하여 사용하고자 할 때 사용되는 플립플롭 회로는?

- ㉠ SR 플립플롭
- ㉡ JK 플립플롭
- ㉢ T 플립플롭
- ㉣ D 플립플롭

T 플립플롭의 출력은 입력 주파수의 $\frac{1}{2}$ 인 주파수 파형이 출력된다.

64. 그림에서 클록펄스가 CLK 입력에 인가되었다. Q의 주파수는?

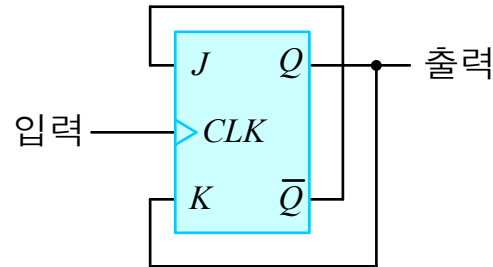
- ㉠ $\frac{CLK}{2}$
- ㉡ $\frac{CLK}{4}$
- ㉢ $2 \times CLK$
- ㉣ $4 \times CLK$



JK 플립플롭을 이용한 T 플립플롭이므로 출력은 CLK의 $\frac{1}{2}$ 인 주파수 파형이 출력된다.

65. 다음 JK 플립플롭의 입력신호 주파수가 1MHz일 때 출력신호의 주파수는?

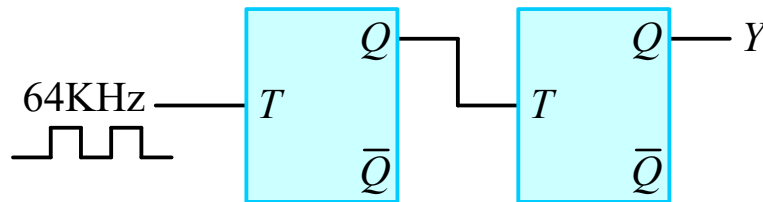
- ㉠ 100KHz
- ㉡ 500KHz
- ㉢ 1MHz
- ㉣ 4MHz



회로는 JK 플립플롭을 이용한 T 플립플롭이므로 출력 주파수는 입력 주파수의 $\frac{1}{2}$ 이다.
 $1\text{MHz}/2 = 0.5\text{MHz} = 500\text{KHz}$

66. 다음 회로에서 Y에는 어떤 파형이 출력되는가? (단, 입력은 64KHz 구형파이다.)

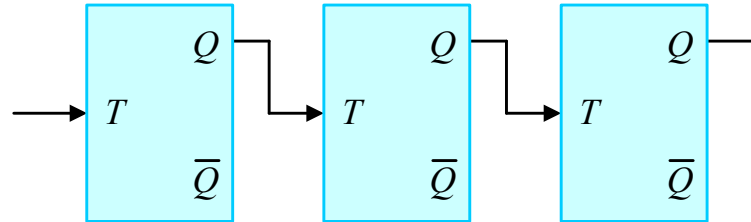
- ㉠ 32KHz 구형파
- ㉡ 24KHz 구형파
- ㉢ 16KHz 구형파
- ㉣ 8KHz 구형파



$$64\text{KHz}/2^2 = 16\text{KHz}$$

67. 그림과 같이 T 플립플롭을 접속하고 첫 번째 플립플롭에 1,000Hz의 구형파를 가해주면 최종 플립플롭에서의 출력주파수는?

- ㉠ 125Hz
- ㉡ 250Hz
- ㉢ 500Hz
- ㉣ 1000Hz



$$1000\text{Hz}/2^3 = 125\text{Hz}$$

68. 7개의 T 플립플롭을 종속 접속하였다. 입력 주파수가 512Hz이면 최종 출력 주파수는 몇 Hz인가?

- ㉠ 4Hz
- ㉡ 8Hz
- ㉢ 12Hz
- ㉣ 16Hz

$$512\text{Hz}/2^7 = 4\text{Hz}$$

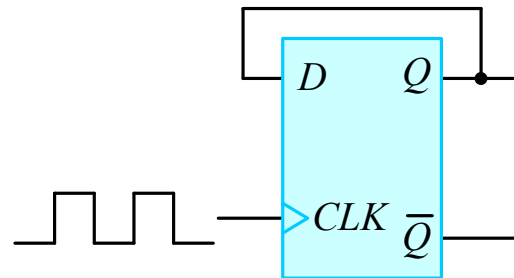
69. 4개의 JK 플립플롭을 이용하여 구성할 수 있는 분주기의 최댓값은 얼마인가?

- ㉠ 8분주기 ㉡ 10분주기 ㉢ 16분주기 ㉣ 24분주기

$$2^4 = 16$$

70. D 플립플롭을 이용하여 그림과 같은 회로를 구성하고, 클록(CLK) 단자에 5KHz 클록펄스를 인가하였다. 동작 시작단계에서 Q 출력을 +5V로 하였다면 출력은?

- ㉠ 10KHz
㉡ 2.5KHz
㉢ 5KHz
㉣ +5V DC



D 플립플롭은 입력이 출력으로 나타난다.
회로에서 D 입력은 항상 +5V이므로 출력도 +5V가 출력된다.

71. 두 개의 입력이 동시에 1이 되었을 때에도 불확실한 출력 상태가 되지 않도록 두 개의 플립플롭을 사용한 회로는?

- ㉠ SR 플립플롭
- ㉡ D 플립플롭
- ㉢ Master-slave 플립플롭
- ㉣ T 플립플롭

72. 플립플롭에서 클록펄스가 1인 도중에 출력이 변하게 되면 입력측에 변화를 일으켜 오동작을 발생하게 하는 현상은?

- ㉠ delay 현상
- ㉡ toggle 현상
- ㉢ race 현상
- ㉣ error 현상

73. 에지 트리거 플립플롭을 사용하는 이유로 옳은 것은?

- ㉠ clock pulse를 사용하기 위해
- ㉡ toggle 작용을 하기 위하여
- ㉢ delay 시간을 길게 하려고
- ㉣ race 현상을 방지하기 위해

74. 마스터-슬레이브 플립플롭은 어떤 문제를 해결하기 위한 회로인가?

- ㉠ 딜레이(Delay)현상
- ㉡ 부정상태 제거
- ㉢ 토글(Toggle)상태
- ㉣ 레이스(Race) 현상

75. 레이스(race) 현상을 방지하기 위하여 사용되는 플립플롭은?

- ㉠ D 플립플롭
- ㉡ SR 플립플롭
- ㉢ JK 플립플롭
- ㉣ M/S 플립플롭

76. M/S(Master-Slave) 플립플롭에 대한 설명으로 옳지 않은 것은?

- ㉠ SR 플립플롭 2개로 구성할 수 있다.
- ㉡ master와 slave에 각각 서로 다른 상태의 CP(clock pulse)를 인가한다.
- ㉢ 플립플롭의 레이스 현상이 일어나는 것을 제거하기 위한 것이다.
- ㉣ JK 플립플롭에서 불변동작이 일어나는 것을 제거하기 위한 것이다.

Master-Slave 플립플롭은 어떤 형태의 플립플롭으로도 구성이 가능하며, master 플립플롭과 slave 플립플롭으로 된다. Master 플립플롭에는 클록 펄스를 그대로 인가하며, slave 플립플롭에는 반전된 클록 입력이 인가된다. M/S 플립플롭은 레이스 현상을 방지하기 위해 제안된 플립플롭이지만 최근에는 레이스 현상을 피하기 위해 에지 트리거 플립플롭이 많이 사용된다.

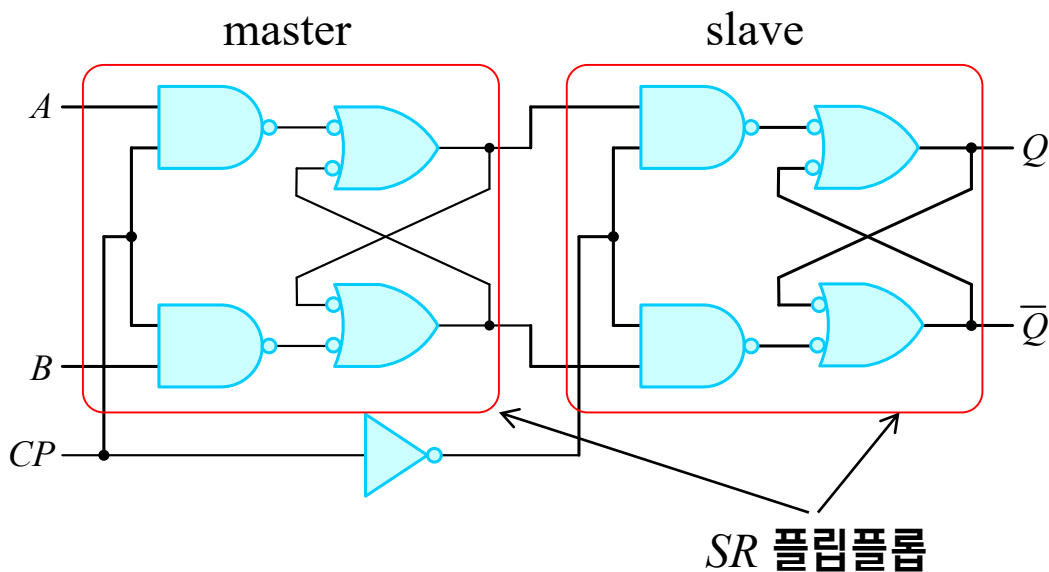
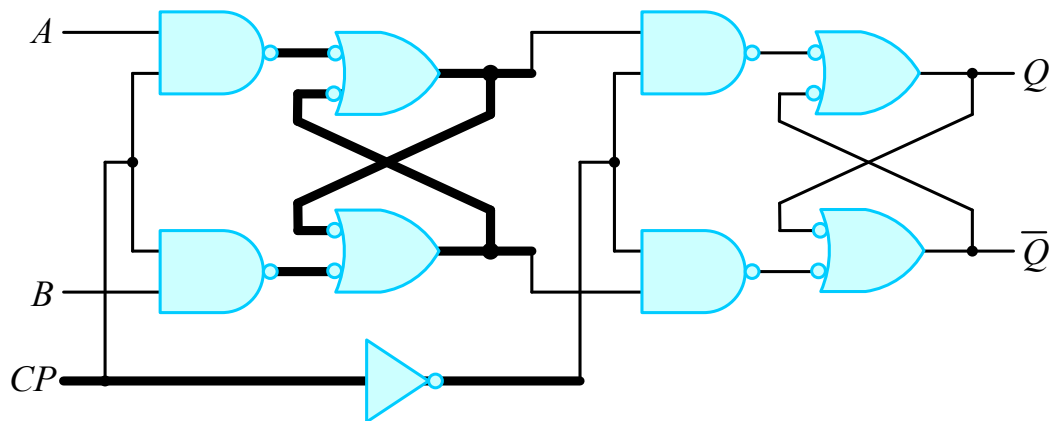
77. JK 플립플롭에서 발생할 수 있는 레이스(race) 현상의 원인이 되는 것은?

- ㉠ J입력과 K 입력으로 들어가는 신호의 전파지연시간이 서로 다르기 때문이다.
- ㉡ 클록펄스의 폭이 주입력에서 주출력까지의 전파지연시간보다 클 경우에 발생한다.
- ㉢ 회로의 출력 Q 와 \bar{Q} 가 동일한 값을 가질 경우에 발생한다.
- ㉣ NAND 게이트와 NOR 게이트를 혼용할 경우 발생한다.

Master-Slave 플립플롭은 클록펄스의 폭이 master 입력에서 slave 출력까지의 전파지연 시간보다 클 경우에 발생한다. M/S 플립플롭은 레이스 현상을 방지하기 위해 제안된 플립플롭이지만 최근에는 레이스 현상을 피하기 위해 에지 트리거 플립플롭이 많이 사용된다.

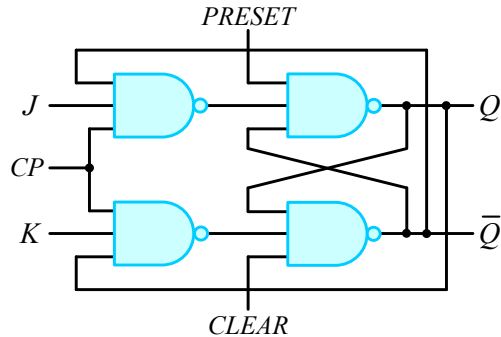
78. 다음 논리회로의 명칭은?

- ㉠ JK 플립플롭
- ㉡ SR 플립플롭
- ㉢ M/S SR 플립플롭
- ㉣ M/S JK 플립플롭

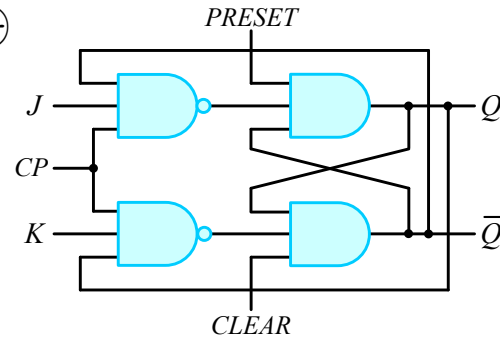


79. 클록 펄스에 관계없이 비동기 입력을 가진 JK 플립플롭의 논리회로로 옳바른 것은?

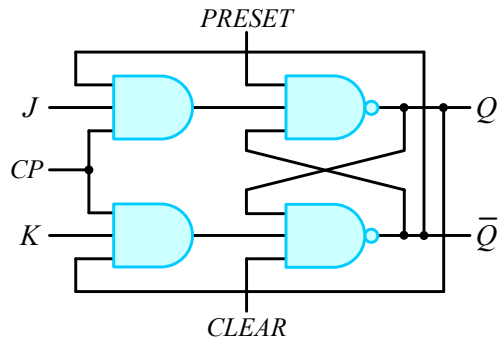
가



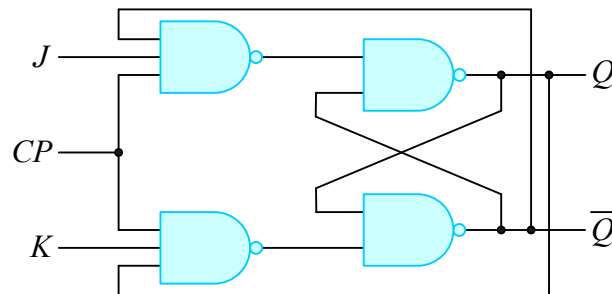
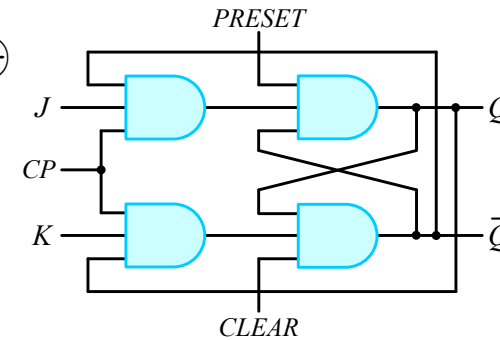
나



다



라



NAND 레치를 이용한 JK 플립플롭

80. 10개의 플립플롭이 +5V 직류전원에서 동작하고 25mA의 전류가 흐른다면 전력소모량은 얼마인가?

㉠ 125mW

㉡ 250mW

㉢ 1.25W

㉣ 2.5W

플립플롭 1개당 전력 소모는 $P = V_{cc} \times I_{cc} = 5V \times 25mA = 125mW$ 이다.

따라서 플립플롭 10개가 소모하는 전력은 $10 \times 125mW = 1250mW = 1.25W$ 이다.

81. D 플립플롭이 셋업(setup) 시간=5ns, 홀드(hold) 시간=10ns, 전파(propagation) 지연시간=15ns 이다. 클록 에지가 발생하기 얼마 전에 데이터가 입력되어야 하는가?

㉠ 5ns

㉡ 10ns

㉢ 15ns

㉣ 30ns

클록펄스의 상승에지 변이 전에 입력값은 일정 시간 동안 유지해 주어야 하는데 이때 요구되는 시간 간격을 설정시간(setup time)이라고 한다.

82. D 플립플롭은 클록펄스를 0에서 1로 가하기 전에 D 입력에 새로운 입력값을 일정시간 동안 유지하여 주어야 한다. 이 시간을 무엇이라고 하는가?

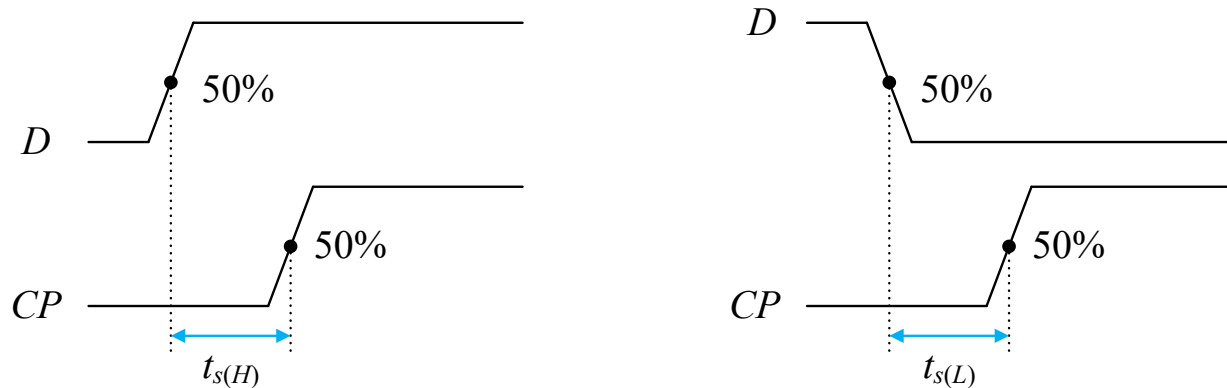
㉠ setup 시간

㉡ hold 시간

㉢ idle 시간

㉣ 실행시간

클록펄스의 상승에지 전이 전에 입력값을 일정시간 동안 유지해 주어야 하는데 이때 필요한 시간 간격을 설정시간(setup time)이라고 한다.



83. 플립플롭을 구성하는데 주로 이용되는 회로는?

- ㉠ 쌍안정 멀티바이브레이터
- ㉡ 단안정 멀티바이브레이터
- ㉢ 비안정 멀티바이브레이터
- ㉣ 무안정 멀티바이브레이터

쌍안정 멀티바이브레이터는 플립플롭과 같음

84. 두 개의 안정 상태를 가지고 있는 쌍안정 멀티바이브레이터를 의미하는 것은?

- ㉠ 인코더
- ㉡ 디코더
- ㉢ 플립플롭
- ㉣ 멀티플렉서

85. 다음 중 외부로부터 트리거(trigger) 신호 없이 스스로 준안정 상태에서 다른 준안정 상태로 변화를 되풀이 하는 것은?

- ㉠ 비안정 멀티바이브레이터
- ㉡ 쌍안정 멀티바이브레이터
- ㉢ 단안정 멀티바이브레이터
- ㉣ 슈미트 트리거

무안정(또는 비안정, 불안정) 멀티바이브레이터는 불안정한 두 가지 상태 High 또는 Low 상태를 가지며, 한 쪽 상태에 머무르지 못하고 두 상태를 왔다 갔다 하는 것으로서 일종의 발진기(oscillator)다. 이것은 외부 입력 없이 스스로 주기적인 구형파를 발생시킨다.

86. 전원이 인가된 상태에서 연속적으로 펄스를 발생시키고자 할 때 사용되는 것은?

- ㉠ 비안정 멀티바이브레이터
- ㉡ 쌍안정 멀티바이브레이터
- ㉢ 단안정 멀티바이브레이터
- ㉣ 클램프 회로

비안정(무안정) 멀티바이브레이터는 구형파 발진기로 사용된다.

87. 외부 트리거 입력신호가 인가되는 경우에만 폭이 0.1ms이고 전압이 +5V인 펄스를 발생시켜 출력하고자 한다. 이러한 목적에 가장 적합한 것은?

- ㉠ 슈미트 트리거회로
- ㉡ 비안정 멀티바이브레이터
- ㉢ 쌍안정 멀티바이브레이터
- ㉣ 단안정 멀티바이브레이터

단안정 멀티바이브레이터는 one-shot 멀티바이브레이터라고도 한다.